

Virtex4 系列 FPGA 开发平台设计

廖 华 王祝金 颜 军

欧比特(珠海)软件工程有限公司,广东珠海 519080



摘 要 介绍了基于 Xilinx 公司的 Virtex4 系列 XC4VLX160 开发的 FPGA 验证平台以及四核处理器在该平台上的应用,对 FPGA 模块设计、Ethernet 模块设计、CAN 总线模块设计、ARINC429 模块设计,以及如何调试进行了详细说明。实践证明该 FPGA 开发平台可加快 S698P 并行处理芯片的研发进程。

关键词 FPGA;开发平台;S698P IP 核;Virtex4;可靠性

中图分类号:TP332 **文献标识码:** A

文章编号:1006-3242(2009)01-0075-05

The Design of Virtex4 Series FPGA Developing Board

LIAO Hua WANG Zhujin YAN Jun

Orbita Software Engineering Inc. Guangdong, Zhuhai 519080, China

Abstract This article introduces the FPGA developed, based on the XILINX Virtex4 serial products- XC4VLX160, the four core processor application on this platform, also the design of following modules, includes the FPGA module, Ethernet module, CAN bus module, ARINC429 module and explains how to debug them on this platform. Practical application proves that the FPGA developing platform can accelerate the development of S698P.

Key words FPGA; Validate platform; S698P IP Virtex4; Reliability

并行计算是提高计算机系统计算速度和处理能力的一种有效手段。它的基本思想是用多个处理器协同求解同一问题,即将被求解的问题分解成若干部分,各部分均由一个独立的处理机并行计算。目前,随着微电子技术的发展,已经可以将多个微处理器核集成在一块芯片中,节省系统空间,有效提高系统性能;同时,SOC 技术的飞速发展,也为芯片级并行处理计算平台的研究提供了坚实的技术基础。

本课题主要是在 Virtex4 系列 FPGA 开发平台上验证四核并行处理器(S698P IP 核)的功能。S698P IP 核内嵌符合 IEEE 754 标准的并行 FPU 单

元,采用 AMBA 总线作为片内系统架构总线,各片上模块通过 AMBA 总线进行数据交换。AMBA 总线配置了 PCI 总线接口、存储器总线接口、UART、定时器、中断管理器、I/O、看门狗、配置寄存器等,使得 S698P IP 核的集成度和功能得到了大幅度的提高。S698P IP 核 CPU 内部指令实行单指令发射流水线,具备七级流水(PIPELINE),这样,每个时钟周期执行 7 条指令,充分体现了 S698P IP 核的优势。S698P IP 核采用先进的时钟配置及管理机制以及低功耗优化设计,并具备硬实时处理能力,支持嵌入式实时操作系统。

收稿日期:2007-04-23

作者简介:廖 华(1981-),男,广东人,硕士研究生,工程师,研究方向为工业测控;王祝金(1978-),男,福建人,工程师,研究方向为嵌入式系统应用;颜 军(1962-),男,山东人,博士,研究方向为计算机控制。

1 总体介绍

开发平台上主要包括以下模块: FPGA 模块、存储器模块、EDAC 模块、GPIO 模块、Ethernet 模块、CAN 总线模块、PCI 模块、ARINC429 模块、1553B 模块、VME 总线模块、串口等模块。图 1 是整个开发平台的原理框图。

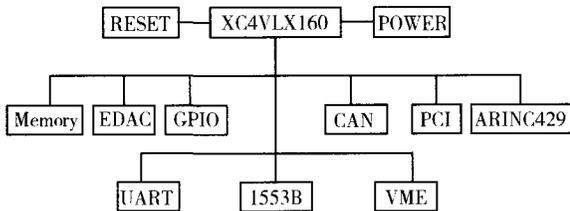


图 1 系统平台接口框架

开发平台由 FPGA 板以及功能接口底板组成, 通过 4 个 4 × 32pin 的接插件连接, 方便开发不同功能的芯片, 系统实物图如图 2 所示:

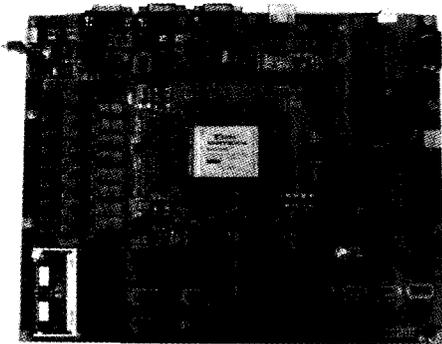


图 2 FPGA 开发平台实物图

在系统平台上, 把所有的 I/O 口均引出来供用户二次开发用, 下面对几个重要的模块作详细介绍。

2 系统功能模块设计

2.1 FPGA 模块设计

FPGA 采用 Xilinx 公司生产的 Virtex4 系列的 XC4VLX160。XC4VLX160 是核心电压为 1.2V 的 FPGA, 具有高速、低功耗的特点, 是专为芯片 IP 核的开发而设计的。它内置有 5184Kbits 的 RAM 用来存储配置文件, 故可以直接将 FPGA 配置文件通过 JTAG 口下载到 XC4VLX160 内的 RAM 中并运行。内部提供给 12 个 DCM, 最大提供 960 个 I/O 口, 可方便提供用户作开发用, 其 JTAG 口采用 IEEE 1149.1 标准。也可将 FPGA 配置文件存储在

外部 PROM 中, 系统加电后, 从外部 PROM 中将 FPGA 配置文件载入到 FPGA 中运行, 有表 1 所示几种下载配置模式。

Virtex4 系列器件的初始化时序在某种程度上比以前的 FPGA 还要简单。在上电时, INIT 信号保持低电平, 同时 FPGA 初始化内部电路并且清除内部配置存储器。这个环节完成时, INIT 信号会有一个正跳变来指示, 直到这时, 配置才会开始。以前的 FPGA 系列在 INIT 信号变高之后和配置可以开始之前之间需要额外的等待周期, 而 Virtex4 器件不需要。在上电后, 只要 INIT 变为高电平, 配置就可以开始了。

表 1 FPGA 下载模式选择

配置模式	M2	M1	M0	上拉
主串	0	0	0	否
从串	1	1	1	否
SelectMAP	1	1	0	否
边界扫描	1	0	1	否
主串(加上上拉)	1	0	0	是
从串(加上上拉)	0	1	1	是
SelectMAP(加上上拉)	0	1	0	是
边界扫描(加上上拉)	0	0	1	是

2.2 PROM 模块设计

FPGA 的配置 PROM 采用的是 XCF08P 以及 XCF32P, 大小总共 5M 字节, I/O 电压 3.3V, 核心电压 1.8V, 采用低功耗的 CMOS 工艺, 最多可擦除 20000 次, 内置版本控制功能和程序压缩以及解压功能。

2.3 Ethernet 模块设计

开发平台上具有以太网的物理层芯片和变压器, 支持 10/100Mbit 的全双工或半双工模式, 支持双绞线和光纤模式输出, 在 S698P IP 核里加入了以太网的 MAC 层, 即可以实现网卡的网络通讯功能, 以太网发送的物理层芯片选用 REALTEK 出品的单片、单端口 10/100 M 以太网物理层芯片 RTL8201。RTL8201 芯片与在片内的 MAC 通过独立媒体接口 MII 进行连接。PHYAD0 - PHYAD3 置高, PHYAD4 置低, 则物理层地址为 0x10, 芯片符合 IEEE802.3/802.3u 规则。标准的 IEEE802.3 数据帧由以下几个部分组成: 前导位 (preamble)、帧起始位 (SFD)、目的地地址 (destination)、来源地址 (source)、数据长度 (length)、数据 (data)、帧校验字 (FCS)。数据字段大小可从 46B 到 1500B, 如一组要传送的数据

通过 CAN 总线收发器 PCA82C250 即可实现 CAN 总线的通讯,原理如图 6 所示。

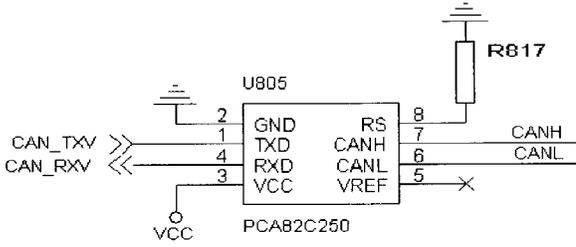


图 6 CAN 总线收发器

2.5 ARINC 429 模块设计

ARINC429 协议,又称 Mark33 数字信息传输系 (DITS - Digital Information Transfer System),是专为航空电子系统通讯规定的航空工业总线标准,它忽略了不同厂家航电系统接口的复杂性,为系统互联

提供了统一平台。根据 ARINC429 规范,数字信息通过一对单向、差分耦合、双绞屏蔽线传输,所以 ARINC429 本质属于串行通讯范畴。ARINC429 数据发送时经过二级差分驱动,调制方式则采用双极归零制的三态码方式,即信息由“高”、“零”和“低”状态组成的三电平状态调制。

开发平台上的 429 发送驱动芯片可以实现 429 电平的发送,总共 4 个发送通道,通过开发平台上的 429 电平接收芯片可以实现 429 电平的接收,总共 4 个接收通道。在 S698P IP 核里,加入了 ARINC429 总线,通过挂载在 APB 总线上,实现并行 CPU 对 ARINC429 总线的访问,并行处理芯片内部提供了 4 路 ARINC429 接口,通过此接口,可以验证 ARINC429 接口的正确性。设计原理图如图 7 和图 8 所示。

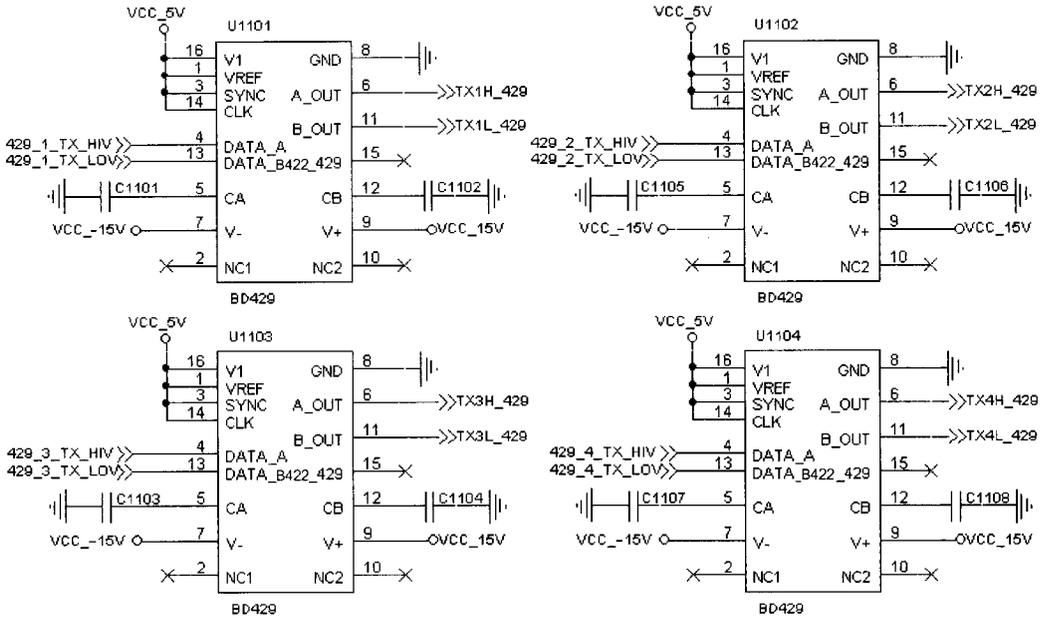


图 7 ARINC429 总线发送驱动电路原理图

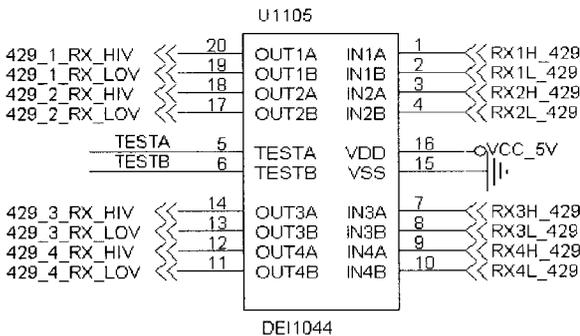


图 8 ARINC429 总线接收器电路原理图

3 PCB 设计

系统中 CPU 主频可达 80MHZ,因此,在 PCB 设计过程中,遵循高频电路板设计原则。

1) 电源质量

由于整个系统接有大量的外设,因此,对电源的质量要求较高,提供的功耗也较大,一般应在电源进入系统时,在电源引脚处加入几百 μf 的大电容,以滤除电源噪声,在板上其它 IC 的电源与地引脚间加入 0.1 μf 左右的小电容,用来滤除高频噪声。为了

减小电源纹波,专门拿出 2 层作为电源层。

2) 数据线、地址线的布线

对于数据线/地址线的布线应该尽量成组,平行分布,这样可以减少干扰,增加系统的可靠性和稳定性,还可以简化布线,美化 PCB 板。

3) 差分线、时钟线的布线

对于时钟线,应尽可能的短、粗,避免和别的信号线交叉;对于差分信号线,应尽量走等长平行线。

4 调 试

Cygwin 为 S698P IP 核的调试环境。在 Cygwin 命令行下,输入 v8mon.exe -i,接着输入 info sys 会出现图 9 所示的提示信息。

```

$ v8mon.exe -i

V8MON Orbita debug monitor v1.1.19a (evaluation version)

Copyright (C) 2004,2005 Orbita - all rights reserved.
For latest updates, go to http://www.myorbita.net /
Comments or bug-reports to support@myorbita.net
using port /dev/ttyS0 @ 115200 baud

initialising .....
detected frequency: 80 MHz
V8LIB build version: 1905

Component                               Vendor
S698P Processor                          Orbita
S698P Processor                          Orbita
S698P Processor                          Orbita
S698P Processor                          Orbita
AHB Debug UART                           Orbita
AHB Debug JTAG TAP                       Orbita
Fast 32-bit PCI Bridge                   Orbita
PCI/AHB DMA controller                  Orbita
V8 Ethernet MAC                         Orbita
Memory Controller                       Orbita
AHB/APB Bridge                          Orbita
Debug Support Unit                      Orbita
OC CAN controller                       Orbita
Generic APB UART                        Orbita
Multi-processor Interrupt Ctrl          Orbita
Modular Timer Unit                     Orbita
Generic APB UART                        Orbita
PCI Arbiter                             Orbita
General purpose I/O port                Orbita

Use command 'info sys' to print a detailed report of attached cores

v8lib>

```

图 9 目标轨迹

通过调试单元,无需仿真器即可支持硬件直接

调试,可实现对内部寄存器操作,以及程序断点设置。

下面以 CAN 总线和 Arinc429 总线为例,介绍硬件调试过程。

4.1 CAN 总线调试

测试 BasicCAN 工作方式收发包是否正确,中断是否正常,校验是否有效。与周立功 USBCANII 板卡通讯,收发数据正常,结果如图 10 所示。

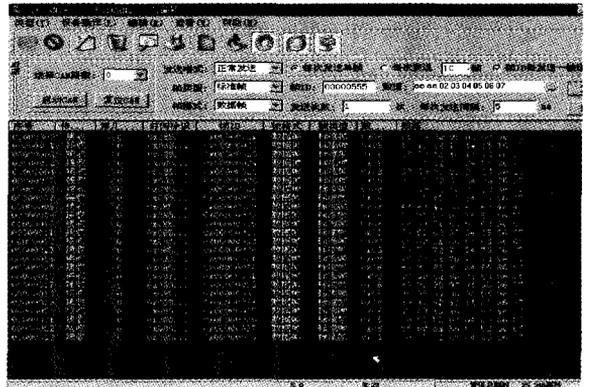


图 10 CAN 总线收发器上层软件

4.2 Arinc429 总线调试

把 FPGA 开发平台上的 Arinc429 总线接口与标准 ARINC429 总线接口卡连接起来,测试通讯是否正常。FPGA 开发平台发送 512 个数据,32 位字长,100Kbps,无奇偶校验,ARINC429 专用接收板卡接收数据,结果如图 11 所示。

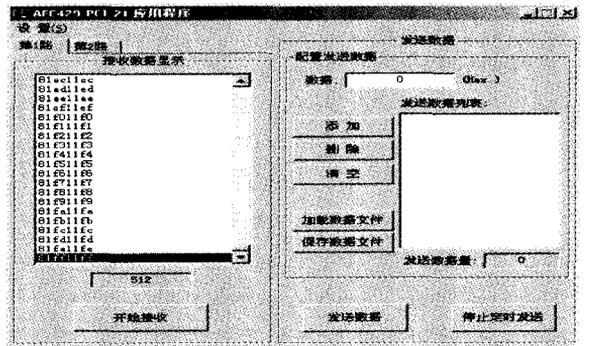


图 11 ARINC 429 接收数据

标准 ARINC429 总线接口卡可接收到 FPGA 开发平台发出的数据,而且数据正确。

同理,标准 ARINC429 总线接口卡发送数据到 FPGA 开发平台,FPGA 开发平台可正确收到标准 ARINC429 总线接口卡发出的数据。

(下转第 93 页)

2)第 2 级为关键故障,在故障选择和设置上主要作以下考虑:当此级别故障未发生时,运载火箭在不排除有其他进一步故障可能的前提下可以发射;

3)第 3~4 级为底层故障,对这一部分的诊断推理往往需要大量的知识,消耗一定的推理时间,同时由于故障反映在系统上的不明显的影响,使得推理具有很大的不确定性。

对于故障等级相同的规则的遍历采用分系统诊断级的推理算法。

5 结论

针对新一代运载火箭地面测发控系统的一体化设计要求,提出了运载火箭分布式故障诊断专家系统的总体结构,并根据故障信息的流动将诊断任务分为 3 级:征兆获取级、分系统诊断级、全局系统诊断和决策级,并针对各级任务的不同提出了相对应的实现方法。本文提出的总体结构以及故障诊断策略已经用于故障诊断原型系统的研制中,下一步的工作将是完善运载火箭测发段的故障模式分析和增加系统的在线自学习功能。

参 考 文 献

[1] 张庆振,李清东,任章. 基于故障模式分析的运载火

箭发射决策系统推理技术研究[J]. 航天控制,2006,24(3):81-83.

[2] Xu Dong, Wu Mei, An Jinwen. Design of an Expert System Based on Neural Network Ensembles for Missile Fault Diagnosis[J]. IEEE International Conference on Robotics, Intelligent Systems and Signal Processing, 2003, 2: 903-908.

[3] Qian Ruixia, Chen Guangda, Zhu Dengpan. Fault Diagnosis Expert System for Hydroelectric Generating Sets Implemented with C++ builder. The 2002 International Conference on Control and Automation, 2002, June 16-19: 219-219.

[4] 吴明强,史慧,朱晓华,等. 故障诊断专家系统研究的现状与展望[J]. 计算机测量与控制,2005,13(12):1301-1304.

[5] 王家伍. 航天发射一体化建设与决策支持技术研究[J]. 装备指挥技术学院学报,2006,17(1):44-47.

[6] 郑永煌,李人厚,徐克俊,等. 基于 CLIPS 的航天发射决策系统[J]. 宇航学报,2006,27(1):117-120.

[7] 杜诚谦,潘洁伦. 新一代运载火箭地面测试发控系统一体化设计概述[J]. 航天控制,2004,22(2):50-52.

[8] 施国洪,夏敬华. 面向复杂设备的分布式故障诊断研究[J]. 中国安全科学学报,2000,10(2):75-79.

(上接第 79 页)

5 结束语

本文详细介绍了 Virtex4 系列 FPGA 开发平台的功能模块的设计,通过把 S698P 的 IP 核烧入该开发平台,可以对各功能模块的功能进行验证,同时,通过逻辑分析仪可以对 S698P IP 核内部的总线时序进行验证,为运行 ecos 操作系统提供了一个强有力的硬件平台,加快了 S698P 并行处理芯片的研发进程。

参 考 文 献

[1] S698P 用户手册[Z]. 欧比特(珠海)软件工程有限

公司,http://www.myorbita.net, 2004:1-109.

[2] 范秀峰,周宇晨. ARINC429 总线收发芯片原理及应用[J]. 国外电子元器件,2004,(5):33-36.

[3] 罗雪梅. 基于 SJA1000 的 CAN 总线接口电路的设计与实现[M]. 贵州工业大学,2003:58-68.

[4] 刘浩. 基于 ARM-Clinux 的无线家庭网关设计[J]. 电子设计应用,2002:55-59.

[5] 于海生. 微型计算机控制技术[M]. 北京:清华大学出版社,1999:84-95.

[6] 何克忠,李伟. 计算机控制系统[M]. 北京:清华大学出版社,1998:150-170.

[7] 刘俊跃. 控制系统的可靠性研究[J]. 数学的实践与认识,2003,23.

[8] 王英爱. 计算机组成与结构[M]. 北京:清华大学出版社,2001:23-30.